

Die Österreichische Tagung
zum Themenbereich des Entwurfs
integrierter Schaltungen und Systeme

11. Oktober 2006
Messszentrum Wien

Austrochip

OVE

 **IEEE**
AUSTRIA SECTION



Herausgegeben von
Peter Balog und Martin Horauer

Fachhochschule Technikum Wien
Fachbereich für Embedded Systems

Hochgeschwindigkeitsfarbzeilenkamera mit intelligenter Datenvorverarbeitung

Christian Eckel¹, Ernst Bodenstorfer², Herbert Nachtnebel³, Peter Rössler^{4,*}, Johannes Fürtler², Konrad J. Mayer²

¹Oregano Systems – Design & Consulting GmbH
Phorusgasse 8, A-1040 Wien
eckel@oregano.at

²ARC Seibersdorf Research GmbH, Geschäftsfeld Hochleistungsbildverarbeitung
A-2444 Seibersdorf

{ernst.bodenstorfer, konrad.mayer, johannes.fuertler}@arcs.ac.at

³Institut für Computertechnik, Technische Universität Wien
Gußhausstraße 28-29/E384, A1040-Wien
herbert.nachtnebel@tuwien.ac.at

⁴Fachhochschule Technikum Wien – Fachbereich Embedded Systems
Höchstädtplatz 5, A-1200 Wien
roessler@technikum-wien.at

Kurzfassung

Dieser Beitrag berichtet über eine Hochgeschwindigkeitsfarbkamera mit einem CMOS-Bildsensor und einer FPGA-basierten Bildvorverarbeitung, die im Rahmen des Projekts ADAM - Advanced Digital Acquisition Methods - entwickelt wurde. Diese ADAM Kamera dient als Prototyp eines Embedded Vision Systems.

Ein zweidimensionaler Bildsensor wird zum Aufbau einer Hochgeschwindigkeits-Farbzeilenkamera verwendet. Eine direkt in der Kamera integrierte komplexe Bildvorverarbeitung extrahiert bestimmte Features und reduziert damit die zu übertragende Datenmenge. Die Daten werden direkt vor Ort in Echtzeit verarbeitet. Eine umfangreiche Parametrierung und Steuerung der Bildverarbeitung ergänzen die Leistungsmerkmale dieser Kamera.

1 Einleitung und Motivation

Der Trend moderner industrieller Bildverarbeitungssysteme zu höheren Auflösungen und gleichzeitig höheren Bildraten und die steigende Nachfrage nach Farbsystemen führen zu einer rasanten Steigerung der benötigten Datenraten. Das schafft immer wieder Probleme, da die am Sensor-Chip anfallende Datenmenge nicht rasch genug von der Kamera ausgegeben werden kann.

Bei heutigen Industriekameras wird meistens das Camera Link Interface [1] zum Anschluss der Kamera an die nachgeordnete Baugruppe verwendet. Durch die Verwendung dieser Standardschnittstelle können Kameras unterschiedlicher Hersteller mit Aufnahmegeräten

(Frame Grabber), natürlich ebenfalls mit Camera Link Interface, kombiniert werden. Eine wesentliche Eigenschaft der vorgestellten Kamera ist die Extraktion von Features aus den vom Bildsensor gelieferten Rohbilddaten. Unter „Feature“ wird in diesem Zusammenhang eine auf eine bestimmte Bildeigenschaft hin optimierte Darstellung der Information verstanden, die bezüglich jener Bildeigenschaft wesentliche Information erhält, andere („unwesentliche“) hingegen weglässt. Auf diese Weise wird die Rohbilddatenrate von ca. 660 MB/s bereits in der Kamera so weit reduziert, dass sie über eine Camera Link Schnittstelle (Base Mode) mit bis zu 240 MB/s ausgegeben werden kann. Die der Kamera nachgeschaltete Bildverarbeitung kann nun die extrahierten Features auf der nächsthöheren Abstraktionsebene weiterverarbeiten.

Das entwickelte System realisiert eine Zeilenkamera. Beim Einsatz von Zeilenkameras werden die aufzunehmenden Objekte typischerweise möglichst gleichmäßig am Objektiv der Kamera vorbeibewegt, beispielsweise über ein Förderband. Aus Gründen der guten Verfügbarkeit des Sensor-Chips, der Möglichkeit der Akkumulation des Signals mehrerer Zeilen und wegen Vorteilen beim Ausrichten der Kamera verwendet die Kamera einen flächigen CMOS-Sensor, bei dem in der Zeilenkameraanwendung aber nur einige wenige Zeilen ausgelesen werden (siehe dazu etwa die Beschreibung des Akkumulierungsmoduls in Kapitel 3). Zu dieser Anwendung (Flächensensor mit einer Farbfiltermatrix als Farb-Zeilenkamera) wurde auch ein Patent eingereicht [2].

Die Sensoransteuerung, die Bildverarbeitung sowie die komplette Steuerung der Kommunikation werden mit Hilfe eines FPGAs durchgeführt. Sowohl die Hardware

* partly funded by the Austrian FHplus research initiative in context to the DECS project (Design Methods for Embedded Control Systems)

der Kamera, als auch das FPGA-Design ist eine gemeinsame Entwicklung des Institutes für Computertechnik (ICT) der Technischen Universität Wien, Oregano Systems und ARC Seibersdorf Research (ARCS).

2 Studienphase und Systementwurf

Am Projektbeginn wurde eine intensive Studienphase in enger Kopplung mit dem Systementwurf durchgeführt. Zunächst wurden einzelne Bildverarbeitungs-algorithmen zusammengestellt und diese entsprechend der existierenden Randbedingungen (Zeilenbreite und benötigte Zeilenanzahl) bewertet.

Das Kernstück der Kamera ist neben dem Farbsensor ein Altera Stratix II EP2S30 FPGA [3]. Als Alternative stand ein Virtex-4 von Xilinx [4] in der engeren Auswahl. Letzten Endes basierte die Entscheidung für die Altera Familie vor allem aufgrund der in passender Größe verfügbaren Speicherelemente, die für die verschiedenen Algorithmen benötigt werden. Aber auch die Qualität der Implementierungssoftware war letztendlich von entscheidender Bedeutung.

Um einen Satz von Konfigurationsparametern in der Kamera permanent über den stromlosen Zustand hinweg speichern zu können, wurde ein Flash Speicher für die Speicherung der Parameter der einzelnen Verarbeitungseinheiten integriert. Die Ansteuerung dieses Speichers, wie auch die Übernahme der Konfigurationsparameter über die serielle Schnittstelle des Camera Link Steckers werden mit Hilfe des Soft-Core Prozessor NIOS II [5] von Altera im FPGA realisiert.

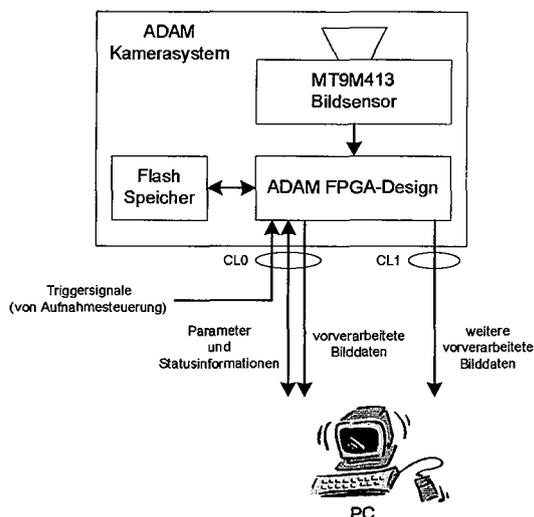


Abbildung 1: ADAM-System

In Abbildung 1 ist der Aufbau der Kamera mit allen Schnittstellen ersichtlich. Die Konfiguration der Kamera erfolgt über die serielle Schnittstelle der Camera Link Schnittstelle vom angeschlossenen Gerät aus, beispielsweise durch einen PC. Anstelle eines PCs mit einer handelsüblichen Frame Grabber Erweiterungskarte mit

Camera Link Interface können aber auch andere Systeme verwendet werden, solange sie die benötigten Schnittstellen sowie die notwendige Funktionalität bereitstellen. Zu erwähnen wäre hier beispielhaft das HDIP-System (HDIP = Hardware Driven High Performance Image Processing) [6], das ebenfalls in einer Kooperation mit ARCS, ICT und Oregano Systems entwickelt wurde.

Neben der Funktionalität war auch eine geringe Baugröße für die Kamera von Bedeutung, um sie in Prüfsystemen einfach integrieren zu können. Um den geforderten kompakten Aufbau zu ermöglichen, wurde das Kamerasystem als Stapel aus drei Leiterplatten aufgebaut. Bei Gehäuseabmessungen des Bildsensors von 49 mm x 49 mm betragen die Abmessungen der Platinen lediglich 60 mm x 60 mm, und die gesamte Höhe des Stapels mit dem Bildsensor und allen Steckern (Camera Link, Stromversorgung, Board-zu-Board Verbindungen) beträgt lediglich 45 mm (siehe Abbildung 2).

Da von vornherein nicht klar war, ob dieser Aufbau nicht die Signalintegrität und die elektromagnetische Verträglichkeit des Systems negativ beeinflusst, wurden die kritischen Signale des Gesamtsystems mit Hilfe von Simulationen überprüft und das Layout optimiert.

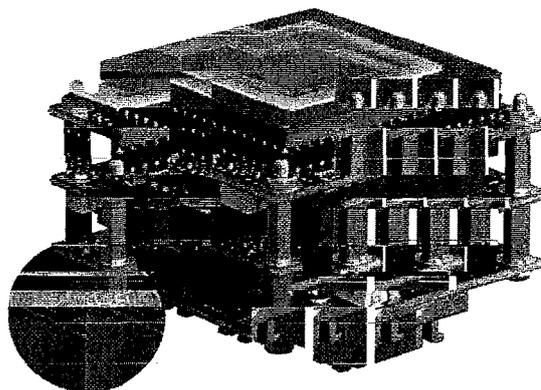


Abbildung 2: Aufbau der ADAM Kamera

Die Prototypen des Systems wurden mit dem größeren, aber trotzdem pinkompatiblen Baustein EP2S60 der Altera Stratix II Serie bestückt. Das ermöglichte es, das On-Chip-Debugging mit mehr internen Signalen durchzuführen, um Fehlerzustände bei der Integration einfacher zu erkennen.

3 Blockschaltbild des FPGA-Designs

Die Kamera verwendet den Bildsensor MT9M413 von Micron in der Variante als Farbsensor [7]. Dabei ist direkt auf dem Chip eine Bayer Farbfiltermatrix aufgebracht, wodurch Rot-, Grün- und Blau-empfindliche Pixel unterschieden werden, die in einem bestimmten Muster, der Bayermatrix, angeordnet sind [8]. Der Sensor ist ein Flächensensor mit einer Auflösung von 1280 Pixel horizontal und 1024 Pixel vertikal. In der vorliegenden Anwendung als Zeilenkamera werden nur

einige wenige Zeilen ausgelesen und im FPGA weiterverarbeitet.

Die in die Kamera integrierten Bildverarbeitungsoperationen zeichnen sich vor allem durch gute Parallelisierbarkeit und moderaten Speicherbedarf aus, womit sie sich sehr gut für eine FPGA-Realisierung eignen.

Wie aus dem Blockschaltbild ersichtlich ist (Abbildung 3), werden sämtliche Signale, die der Sensor-Chip zur Steuerung seiner Funktionen wie etwa Belichtung und Auslesen benötigt, in der Einheit „Sensor Control“ erzeugt.

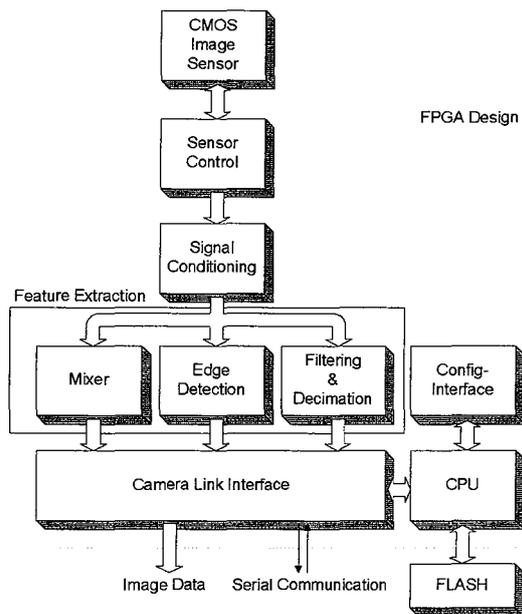


Abbildung 3: Blockschaltbild von Sensor und Bildverarbeitungsfunktionen auf dem FPGA

Danach erfolgt in der Einheit „Signal Conditioning“ eine Aufbereitung der Daten durch Korrektur von Störeffekten des Aufnahmesystems, vor allem um Einflüsse einer ungleichmäßigen Objektbeleuchtung und Verzerrungen durch das Objektiv zu korrigieren. Dazu werden eine Offset- und Gain-Korrektur der Intensitätswerte der einzelnen Pixel, der Ausgleich geometrischer Verzerrungen und eine Farbkorrektur durch Multiplikation des RGB-Wertevektors mit einer 3x3-Matrix (ähnlich Abschn. 3.2.2 in [9]) durchgeführt. Um bei hohen Transportgeschwindigkeiten der am Kameraobjektiv vorbeibewegten Objekte und damit folglich geringen Belichtungszeiten (typisch im Bereich von 10µs) für eine Zeilenaufnahme trotzdem noch eine akzeptable Bildqualität zu erhalten (hohes Signal zu Rausch-Verhältnis), werden außerdem mehrere gegeneinander verschobene Aufnahmen zeitversetzt aufakkumuliert und dadurch die Lichtausbeute digital erhöht. Das ist ein Hauptgrund für den Einsatz eines Flächensensors für eine Zeilenkamera. Ein günstiger Nebeneffekt der Akkumulation ist eine deutliche Datenreduktion, die durch die Aktivierung der „Binning“-Operation zusätzlich noch erhöht werden kann. Das

Binning erhöht das Signal-zu-Rausch-Verhältnis auf Kosten der Auflösung, indem je zwei Pixel in horizontaler und/oder vertikaler Richtung arithmetisch gemittelt werden, was eine weitere Datenreduktion bewirkt. Die Binning-Operationen in horizontaler und vertikaler Richtung können unabhängig voneinander aktiviert bzw. deaktiviert werden. Schließlich werden noch die aufgrund der Bayer Farbfiltermatrix fehlenden Farbkomponenten durch Interpolation wieder hinzugefügt („Color Filter Array Demosaicing“, siehe auch [10]). Am Ausgang der „Signal Conditioning“-Einheit stehen schließlich die korrigierten RGB-Werte der Kamerazeile zur Verfügung.

Eine deutliche Datenreduktion findet im Block „Feature Extraction“ statt, der sich gemäß dem Blockschaltbild aus den Einheiten „Mixer“, „Edge Detection“ und „Filtering & Decimation“ zusammensetzt. Die in diesen drei Einheiten extrahierten Features ergänzen einander derart, dass trotz der Datenreduktion möglichst keine wesentliche Bildinformation verloren geht. Die Einheit „Mixer“ erzeugt durch gewichtete Summierung der RGB-Werte ein Luminanzbild, das sowohl hoch- als auch niederfrequente Bilddetails wiedergibt, allerdings nur in einer Schwarz/Weiß-Darstellung. Die hochfrequenten Bildinhalte werden noch gesondert durch die Einheit „Edge Detection“ extrahiert und als Kantenbild ausgegeben. Demgegenüber liegt die Farbinformation nur in einer tiefpassgefilterten Form am Ausgang der Einheit „Filtering & Decimation“ vor. In der Einheit „Edge Detection“ wird das Bild im Wesentlichen durch horizontale und vertikale Sobelfilterung „differenziert“. Zur verwendeten Edge Detection Einheit ist ein weiteres Patent angemeldet worden [11].

Alle Parameter der verschiedenen Bildverarbeitungsoperationen können über die serielle Schnittstelle eingestellt werden. Die im FPGA implementierte Nios II CPU [5] bedient die serielle Schnittstelle und führt über ein Konfigurations-Interface die Zugriffe auf die Register in den einzelnen Bildverarbeitungsmodulen aus. Wird die Kamera eingeschaltet, so wird eine zuvor im FLASH gespeicherte Kamerakonfiguration vom NIOS geladen und in die entsprechenden Register der Einheiten geschrieben, um die Hardware autonom zu initialisieren.

4 Implementierungsdetails

Bei der Verwendung neuer FPGAs gibt es für die Designer immer wieder ungeliebte Überraschungen. So war es uns zum Beispiel nicht möglich, bei der Entwicklung der Taktverteilung die PLLs im External Feedback Mode mit der damals aktuellen Designumgebung Quartus II Version 4.2 zu erstellen. Erst das später erschienene Update auf die Version 5.0 schaffte diese Konfiguration für den Stratix II.

Auch das für die Board-Level Verifikation zur Verfügung gestellte IBIS Modell des FPGAs [12], welches

angenehmerweise von Quartus II generiert wird, hatte in der ursprünglichen Version nicht alle existierenden Modi im Modell hinterlegt. Das zwang uns zunächst zu einer kreativen Schätzung, die fehlenden Modi wurden aber wiederum anschließend durch eine nachfolgende Version der Quartus II Software ergänzt. Nachdem die Platinen zu dieser Zeit schon in der Fertigung waren, konnten wir nur noch nachträglich überprüfen, ob das von uns ergänzte IBIS Modell korrekt war und die Schätzung zuverlässige Ergebnisse abgeliefert hatte.

Kurz vor der Fertigstellung des Designs, aber glücklicherweise noch knapp vor der Bestellung der Bauteile, wurde ein Bug im Errata-Sheet des FPGAs [13] veröffentlicht. Dieser machte uns den Einsatz einer Revision A der EP2S30 und EP2S60 FPGAs unmöglich, wodurch explizit eine Revision B oder höher verwendet werden musste. Bei den älteren Versionen bestand ein für uns möglicherweise maßgeschneiderter Fehler in den M-RAM Blöcken. Unter der Voraussetzung, dass ein Taktsignal auf der lesenden oder auf der schreibenden Seite der dual-ported RAM Blöcke länger als 5 ns aktiv ist, kann eine Schreiboperation misslingen. Da bei der Akkumulation der Pixeldaten ein M-RAM Block verwendet wird und die Taktfrequenz in unserem Fall 66 MHz beträgt, traf dies für unsere damaligen Überlegungen für die Realisierung der Algorithmen zu.

Die Soft-Core-CPU von Altera, der NIOS II Prozessor, kann auch unvorhersehbare Probleme bereiten. Da der NIOS II keinem Synthesetool eines Drittherstellers (z.B.: Synplify von Synplcity oder Mentor Expedition) zugänglich ist, kann es unter Umständen bei der Synthese zu großen Problemen bzgl. des System-Timings kommen. Wird eine große Anzahl an Einheiten an das Avalon-Bussystem der NIOS-CPU angebunden und lässt man die Interfaces zur Ankopplung dieser Einheiten von der Altera Software erstellen, so resultiert daraus oftmals leider nur eine geringe Performance. Das Problem sind die vielen ungetakteten Multiplexer am Avalon Bus für die Datenauswahl bzw. für die asynchrone Logik der Adressdekodierung der CPU. Grundsätzlich ist es daher notwendig, die Avalon Bus Signale (Adressen, Daten und Steuersignale) sofort über Register abzutakten. Natürlich muss man dadurch zusätzliche Wartezyklen einplanen, aber die höhere erreichbare Taktfrequenz der NIOS CPU entschädigt für die zusätzliche entstandene Komplexität ausreichend. Mit dem manuellen Einfügen der zusätzlichen Registerstufen ist es außerdem möglich, dass die Synthese ohne spezielle Timing-Constraints die CPU als Blackbox behandelt und die optimierte Netzliste der CPU direkt unverändert in die generierte Netzliste des Designs übernimmt. Der Idealfall wäre natürlich, wenn Altera den Synthesetool-Herstellern eine Möglichkeit bieten würde, die IP-Cores zumindest in verschlüsselter Form in den Design-Flow zu integrieren. Dadurch würde sich so manches „Schlagloch“ auf dem Weg zu einem hoch performanten System mit integriertem, synthetisierbaren Prozessor leicht vermeiden lassen.

Ein weiteres Problem trat beim Erstellen des Produktionstestdesigns auf. Diese Version des FPGA-Designs wird dazu benötigt, nach der Fertigung der Baugruppe die Verbindungen, die Taktverteilung sowie die Signalintegrität von ausgewählten Signalen der fertigen Kamera zu testen. Durch den Stapelaufbau und die verwendeten IC-Sockel (BGA Adaptersockel mit 280 Pins für den Bildsensor, FPGA Sockel und die verwendeten Board-zu-Board Verbindungsstecker mit einem Pinabstand von 0,5 mm) besteht in der Fertigung leider eine Vielzahl an Möglichkeiten, schlechte oder fehlerhafte Signalverbindungen zu erhalten. Durch das Testdesign und einem, speziell für den Produktionstest entwickelten, zusätzlichen Adapter ist es während der Fertigung möglich, das Gesamtsystem umfangreich zu überprüfen. Voraussetzung dafür ist es jedoch, in die Baugruppe einen speziell entwickelten Bitstream für das FPGA zu laden. Aus Platzgründen (es bestand keine Möglichkeit einen weiteren Stecker am Board vorzusehen) ist dies jedoch nur über das auch im Normalbetrieb verwendete Konfigurationsdevice EPCS16 möglich, welches (um die Initialisierungszeit gering zu halten) im 40 MHz Active Serial Mode betrieben wird.

Hier entdeckten wir bei der Verwendung des USB-Blasters von Altera, dass nach erfolgter Konfiguration des zuvor leeren Konfigurationsdevices das Design anschließend nicht korrekt in den FPGA geladen wurde. Erst durch zufälliges Abstecken des USB Blasters von der Baugruppe fanden wir heraus, dass das Design danach ordnungsgemäß geladen wurde. Im Gegensatz dazu funktioniert die Konfiguration mit dem „alten“ ByteBlaster II jedoch ohne Probleme. Der Grund für dieses Verhalten liegt in der Belastung, die der USB Blaster am Konfigurationsbus darstellt. Offensichtlich gibt es mit diesem Adaptertyp Signalintegritätsprobleme. Von Altera wurden die Probleme bestätigt, aber es konnte leider keine kurzfristige Lösung angeboten werden.

Nach obigen Ausführungen ist ersichtlich, dass der Erfolg oder Misserfolg eines Projekts oftmals sehr von der korrekten Funktion jedes einzelnen Tools abhängt. Zuletzt möchten wir jedoch anmerken, dass nach unserer Erfahrung die erwähnten Probleme nicht einzelnen Tool-Herstellern zuzurechnen sind, sondern leider generell in der gesamten EDA-Branche zu finden sind.

5 Verifikation und Test

Das FPGA wurde mit Hilfe eines komplexen, regressfähigen VHDL Simulationssetup verifiziert. Als Simulator wurde Mentor ModelSim eingesetzt. Die Verifikation erfolgt ausschließlich über eine einzige Top Level Testbench, die über externe Dateien für die einzelnen Aufgaben der verschiedenen Testfälle gesteuert bzw. mit Daten versorgt wird.

Der sequentielle Datenfluss vom Sensor beginnend bis hin zur Ausgabe über das Camera Link Interface ermöglicht es, über verschiedene Teststimuli mit Hilfe von unterschiedlichen Testscenarien, jede Einheit im

FPGA gezielt zu stimulieren und damit zu testen. Um die Verifikation zu beschleunigen, können nachfolgende, im jeweiligen Testfall nicht verwendete Einheiten über verschiedene Konfigurationen entfernt werden. Darüber hinaus wurde mit dem Einsatz von Assertions der steuerungsdominierte Teil des Designs effizient verifiziert. Für diesen Zweck wurde die Sprache PSL (Property Specification Language) verwendet [14].

Verifikation und Test werden auch durch speziell für diesen Zweck in die Kamera integrierte Einheiten vereinfacht. Durch einen eingebauten Testmuster-generator können verschiedene Testbilder erzeugt werden, die anschließend mit einem Frame Grabber aufgezeichnet werden. Die aufgenommenen Daten können dann mit Hilfe von MATLAB mathematisch analysiert und überprüft werden. Dieser Weg ermöglicht es, lange Simulationszeiten zu umgehen.

Ein weiterer wichtiger Punkt ist die Regress-Fähigkeit der einzelnen Simulationsszenarien. Um diese zu erreichen, wurden im Simulationsmodell eigene Observer bei den einzelnen Einheiten eingebunden, die eine Protokollierung der Daten an der beobachteten Design Unit erlauben. Damit ist es möglich, bei Änderungen am Design die gesamten Simulationsszenarien zu wiederholen und durch einen automatisierten Vergleich der protokollierten Daten etwaige Abweichungen vom geforderten Verhalten rasch zu entdecken.

6 Ergebnisse und Ausblick

Der hohe Aufwand, der in die Simulation des Kameradesigns auf allen Entwicklungsebenen gesteckt wurde, machte sich letzten Endes bezahlt. Die Prototypen der Hardware funktionierten auf Anhieb. Derzeit erfolgt die Fertigung der ersten Serie.

In Tabelle 1 sind die Kenndaten der Kamera aufgelistet. Als besondere Merkmale sei auf die hohe maximale Zeilenfrequenz und auf die Größe des Gehäuses von nur 65 mm x 65 mm x 50 mm ohne Objektiv hingewiesen. In Abbildung 4 ist die fertige und funktionsfähige Kamera mit einem aufgeschraubten Objektiv zu sehen.

Parameter	Wert	Einheit
max. Zeilenfrequenz	100	kHz
Bandbreite Sensor-Interface	660	MPixel/s (10 Bit pro Pixel)
Taktfrequenz Sensorchip	66	MHz
Taktfrequenz FPGA	132	MHz
max. Bandbreite pro Camera Link Ausgang	240	MB/s
Anzahl der Camera Link Ausgänge	2	
max. Anzahl der Pixel pro Zeile	1280	Pixel
Sensortyp	Farbsensor	
max. Camera Link Pixeltaktfrequenz	80	MHz
Abmessungen (B x H x T) incl. Gehäuse ohne Objektiv	65 x 65 x 50	mm ³

Tabelle 1: Kenndaten der Kamera

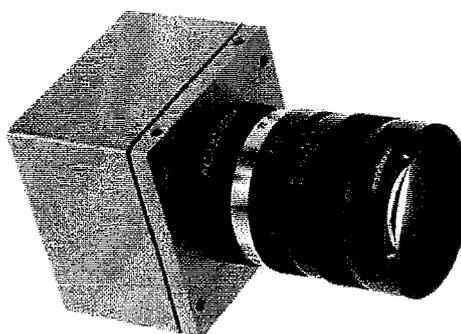


Abbildung 4: Fertige ADAM Kamera mit Gehäuse und Objektiv

In der vorliegenden Version wurde die ADAM Kamera als Zeilenkamera ausgelegt. Sie eignet sich damit beispielsweise für die On-Line Überprüfung (Echtzeit-Qualitätsprüfung innerhalb der Produktionsstraße) von Druckerzeugnissen, ist jedoch auf Grund ihrer Bauart prinzipiell auch als Flächenkamera zu verwenden. Einsatzgebiete für diese Variante wären beispielsweise die Sicherheitstechnik oder der Objektschutz. Durch die Verwendung eines FPGAs zeichnet sich die Kamera durch eine hohe Flexibilität aus. Es kann damit innerhalb der Kamera eine Vorverarbeitung der Bilder durchgeführt werden, und der Bedarf der Kommunikationsbandbreite drastisch reduziert werden. In diesem Sinne kann man nach Meinung der Autoren dieses Beitrages von einer „Intelligenten Kamera“ sprechen, die bei Hochgeschwindigkeitsanwendungen durch intelligente Reduktion der anfallenden Datenmenge eine hochauflösende Objektprüfung erst möglich macht.

Literatur

- [1] PULNiX Inc.: *Specification of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers*, USA, Oct. 2000.
- [2] K. Mayer, *Österreichische Patentanmeldung A1381/2005 "Farbzeilenkamera"*, eingereicht am 17.8.2005.
- [3] Altera Corporation: *Stratix II Device Handbook*, USA, 2005, www.altera.com
- [4] Xilinx Inc.: *Virtex-4 Data Sheet*, USA, 2006, www.xilinx.com
- [5] Altera Corporation: *Nios II Processor Reference Handbook*, USA, 2005, www.altera.com
- [6] P. Rössler et. al.: *FPGA-Design für ein Hochleistungsbildverarbeitungssystem*, Tagungsband Austrochip 2004, pp. 83-88
- [7] Micron Inc.: *Datasheet MT9M413*, USA, 2004, www.micron.com
- [8] Bryce E. Bayer.: *Color imaging array*, US Patent No. US 3971065, 1976.
- [9] Adrian Ilie, Greg Welch.: *Ensuring Color Consistency across Multiple Cameras*. Proceedings

- Tenth IEEE International Conference on Computer Vision (ICCV'05). Volume 2, pp. 1268-1275.
- [10] H. S. Malvar, L.-W. He, and R. Cutler.: *High-Quality Linear Interpolation for Demosaicing of Bayer-Patterned Color Images*. In Proceedings of International Conference on Acoustics, Speech, and Signal Processing, Montreal, Canada, May 2004.
- [11] K. Mayer, W. Krattenthaler, A. Vrabl, H. Penz, D. Heiss, *Österreichische Patentanmeldung A1050/2005, "Verfahren und Einrichtung zum Prüfen von Gegenständen"*, eingereicht am 21.06.2005.
- [12] IBIS (I/O Buffer Information Specification) Internationale Standards ANSI/EIA-656-A und IEC 62014-1, Homepage der ANSI/EIA Arbeitsgruppe: <http://www.eigroup.org/ibis/>, 1995-2004
- [13] Altera Corporation: *Stratix II FPGA Family Errata Sheet*, USA, December 2005 – Version 1.7, www.altera.com
- [14] B. Cohen, S. Venkataramanan and A. Kumari: *Using PSL/Sugar for Formal and Dynamic Verification*, 2nd Edition, VhdlCohen Publishing, USA, 2004